

JAPANESE PATENT APPLICATION LAID-OPEN NO. 175438/1995
(Partial Translation)

Line 28, column 5 to line 13, column 6, page 4

[0021] For this reason, in the above conventional display method, after a control signal V_{SYNC} for starting a frame is received, started is an initialization period S1 in which an operation of initializing, in a lump, all cells corresponding to one frame is performed as described above. At this time, the X electrode is set to GND, and then a predetermined voltage V_s is applied thereto. The predetermined voltage V_s is also applied to the Y electrode. After this, provided is a first wall charge control period S11 in which the Y electrode voltage is made to fall with a delay of a predetermined time constant as shown in the drawing, to control the amount of charges accumulated in a predetermined cell.

[0022] In this first wall charge control period S11, performed is an operation of bringing the wall charge amount P1 accumulated in a cell which was being lit in the previous field, close to the wall charge amount P2 accumulated in a cell which was not being lit in the previous field. The wall charge amount P1 is produced for an all cell write period S2 and a second wall charge control period S12 described later. The wall charge amount P2 is produced in the cell for a discharge-maintaining period S3 described later.

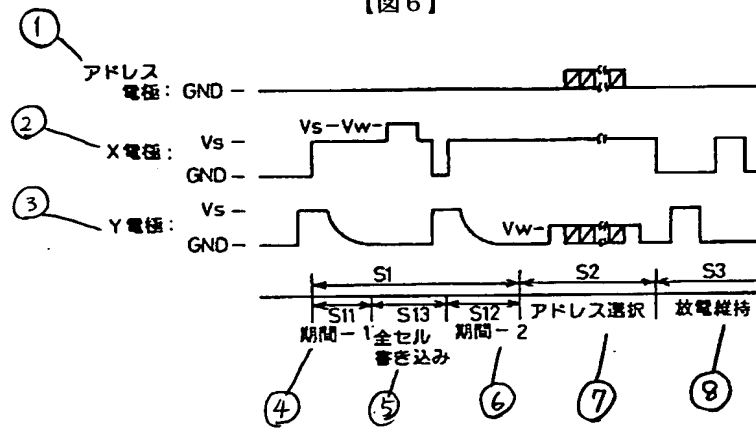
[0023] Successively in an all cell write period S13, while the voltage of the Y electrode is kept at GND, the voltage of V_s+V_w is applied to the X electrode to write predetermined pieces of information in all cells, light all cells once, and produce predetermined wall charge amounts evenly over all cells. Then, in the second wall charge control period S12, the voltage of the X electrode is made to fall to GND, and simultaneously, the predetermined voltage V_s is applied as the voltage of the Y electrode, to invert the polarities of the applied voltages in the above first wall charge control period S11, and perform momentarily a maintaining-discharge.

[0024] After this, the Y electrode voltage is made to fall with a delay of a predetermined time constant as shown in the drawing, to control the amount of charges accumulated in a predetermined cell. In short, in this second wall charge control period S12, the amounts of wall charges in the cells not selected from among all cells in an address selection period S2 are restricted so that the non-selected cells do not discharge electricity.

FIG. 6

- ① : ADDRESS ELECTRODE
- ② : X ELECTRODE
- ③ : Y ELECTRODE
- ④ : PERIOD 1
- ⑤ : ALL CELL WRITE
- ⑥ : PERIOD 2
- ⑦ : ADDRESS SELECTION
- ⑧ : DISCHARGE-MAINTAINING

【図 6】



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 1 7 5 4 3 8

(43) 公開日 平成 7 年 (1995) 7 月 14 日

(51) Int. Cl.⁶

G 0 9 G 3/28

識別記号

庁内整理番号

F I

技術表示箇所

B 9378 - 5 G

H 9378 - 5 G

審査請求 未請求 請求項の数 9

O L

(全 9 頁)

(21) 出願番号 特願平 5 - 3 1 8 2 0 5

(22) 出願日 平成 5 年 (1993) 12 月 17 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 1015 番地

(72) 発明者 坂本 哲也

神奈川県川崎市中原区上小田中 1015 番地

富士通株式会社内

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中 1015 番地

富士通株式会社内

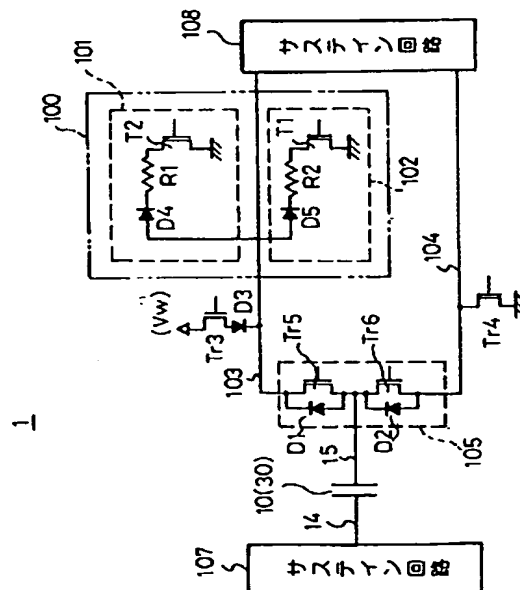
(74) 代理人 弁理士 宇井 正一 (外 4 名)

(54) 【発明の名称】 平面表示装置

(57) 【要約】

【目的】 前フレームに於ける各セルに残留している壁電荷量を適正な値に、しかも全セルが略均一な最適所定量の壁電荷量を有する様に調整して次のフレームの表示駆動に於いて、最適な表示状態を創成する平面表示装置を提供する。

【構成】 プラズマディスプレイ装置等の平面表示装置に於いて、該表示装置 1 に表示される 1 つのフレームを構成する各サブフレームを、初期化期間 S 1、アドレス期間 S 2 及び、維持放電期間 S 3 とで構成せしめると共に、該初期化期間 S 1 を更に壁電荷調整期間と全セル書き込み期間とに分割して制御する制御系を有しており、且つ当該壁電荷調整期間 S 1 1、S 1 2 を、操作時間帯が互いに異なる複数の副壁電荷調整期間に区分し、それぞれの副壁電荷調整期間 S 1 1、S 1 2 を互いに独立したセル駆動手段 1 0 1、1 0 2 により駆動せしめる様に構成されている平面表示装置。



【特許請求の範囲】

【請求項 1】 表面に電極が配置されている少なくとも 2 枚の基板が、当該電極部が、互いに直交して対向する様に、隣接して配置され、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部を形成しており、当該セル部は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有しているパネルを有する平面表示装置に於いて、少なくとも表示画面の初期化を行う初期化期間、当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間とで構成せしめると共に、当該初期化期間を更に壁電荷調整期間と全セル書き込み期間とに分割して制御する制御系を有しており、且つ当該壁電荷調整期間を、操作時間帯が互いに異なる複数の副壁電荷調整期間に区分し、それぞれの副壁電荷調整期間を互いに独立したセル駆動手段により駆動せしめる様に構成されている事を特徴とする平面表示装置。

【請求項 2】 当該初期化期間は、第 1 の該副壁電荷調整期間、該全セル書き込み期間及び第 2 の該副壁電荷調整期間とで構成されている事を特徴とする請求項 1 記載の平面表示装置。

【請求項 3】 当該 1 サブフレーム期間内に於ける該初期化期間は、表示画面の初期化を行う為に、当該各セルに対して、所定のデータを一括書き込み／一括消去する期間である事を特徴とする請求項 1 記載の平面表示装置。

【請求項 4】 該平面表示装置は、3 電極を使用して画像の表示駆動を実行するものである事を特徴とする請求項 1 乃至 3 の何れかに記載の平面表示装置。

【請求項 5】 当該平面表示装置は、プラズマディスプレイ（PDP）装置である事を特徴とする請求項 1 乃至 4 の何れかに記載の平面表示装置。

【請求項 6】 当該表示画面のパネルに於いて、1 フレームを構成する複数のサブフレームに相当するそれぞれの選択ラインに、当該パネルと直列に接続された当該第 1 の該副壁電荷調整期間中所定のセルを駆動する第 1 のセル駆動回路と当該第 2 の該副壁電荷調整期間中所定のセルを駆動する第 2 のセル駆動回路とが設けられている事を特徴とする請求項 1 記載の平面表示装置。

【請求項 7】 当該第 1 及び第 2 のセル駆動回路は、適宜の抵抗を有しており、該抵抗と当該パネルの容量とで所定の時定数が設定されている事を特徴とする請求項 6 記載の平面表示装置。

【請求項 8】 当該第 1 及び第 2 のセル駆動回路に於けるそれぞれの該時定数は、互いに独自に設定されるものである事を特徴とする請求項 7 記載の平面表示装置。

【請求項 9】 当該第 1 及び第 2 のセル駆動回路は、スイッチング手段を有しており、当該各セル駆動回路は、該スイッチング手段を個別に駆動させる事によって、互

いに独立に駆動されるものである事を特徴とする請求項 6 記載の平面表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は平面表示装置に関するものであり、特に詳しくは、プラズマディスプレイに於いて表示パネルに対して最適な駆動を行う事により、安定した画像表示を行いうる平面表示装置に関するものである。

10 【0002】

【従来の技術】 近年、薄形の利点から CRT に代わり PDP（プラズマディスプレイ）、LCD（液晶ディスプレイ）等の平面マトリクス形表示装置の要求が増加しているが、特に最近ではカラー表示の要求が高まっている。従来から、プラズマディスプレイ装置等の平面表示装置、即ちフラット形表示装置は、奥行きが小さく、且つ大型の表示画面が実現されて来ている事から、急速にその用途が拡大され、生産規模も増大して来ている。

【0003】 処で、係る平面表示装置は、一般的には、電極間に堆積された電荷を所定の電圧下で放電発光させて表示するものであり、その一般的な表示原理を、その構造と作動と共に以下に概略的に説明する。即ち、従来から良く知られているプラズマディスプレイ装置（AC 型 PDP）には、2 本の電極で選択放電（アドレス放電）および維持放電を行う 2 電極型と、第 3 の電極を利用してアドレス放電を行う 3 電極型とがある。

【0004】 一方、カラー表示を行うプラズマディスプレイ装置（PDP）では、放電により発生する紫外線によって放電セル内に形成した蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に弱いという欠点がある。上記の 2 電極型では、当該蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招く恐れがある。

【0005】 これを回避するために、カラープラズマディスプレイ装置では、面放電を利用した 3 電極構造が一般に用いられている。さらに、この 3 電極型においても、第 3 の電極の維持放電を行う第 1 と第 2 の電極が配置されている基板に当該第 3 の電極を形成する場合と、対向するもう一つの基板に当該第 3 の電極を配置する場合がある。

【0006】 また、同一基板に前記の 3 種の電極を形成する場合でも、維持放電を行う 2 本の電極の上に第 3 の電極を配置する場合と、その下に第 3 の電極を配置する場合がある。さらに、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合と、蛍光体からの反射を見る場合がある。

【0007】 上記した各タイプのプラズマディスプレイ装置は、何れも原理は、互いに同一であるので、以下では、維持放電を行う第 1 と第 2 の電極を設けた第 1 の基板と、これとは別で、当該第 1 の基板と対向する第 2 の

基板に第3の電極を形成して構成された平面表示装置に付いてその具体例を説明する。即ち、図3は、上記した3電極方式のプラズマディスプレイ装置(PDP)の構成の概略を示す概略的平面図であり、又、図4は、図3のプラズマディスプレイ装置に形成される、一つの放電セル10における概略的断面図である。

【0008】即ち、当該プラズマディスプレイ装置は、図3及び図4から判る様に、2枚のガラス基板12、13によって構成されている。第1の基板13には、互いに平行して配置された維持電極として作動する第1の電極(X電極)14、および第2の電極(Y電極)15を備え、それらは、誘電体層18で被覆されている。更に、該誘電体層18からなる放電面には保護膜としてMgO(酸化マグネシウム)膜等で構成された被膜21が形成されている。

【0009】一方、前記第1のガラス基板13と向かい合う第2の基板12の表面には、第3の電極即ちアドレス電極として作動する電極16が、該維持電極14、15と直交する形で形成されている。また、アドレス電極16上には、赤、緑、青の発光特性の一つを持つ蛍光体19が、該第2の基板12の該アドレス電極が配置されている面と同一の面に形成されている壁部17によって規定される放電空間20内に、配置されている。

【0010】つまり、該プラズマディスプレイ装置に於ける各放電セル10は壁(障壁)によって仕切られている。また、上記具体例に於ける該プラズマディスプレイ装置1に於いては、第1の電極(X電極)14と該第2の電極(Y電極)15とは、互いに平行に配置され、それぞれ対を構成しており、該第2の電極(Y電極)15は、それぞれ個別に駆動されるが、該第1の電極(X電極)14は、共通電極を構成しており、1個のドライバで駆動される構成と成っている。

【0011】又、図5は、図3および図4に示したプラズマディスプレイ装置を駆動するための周辺回路を示した概略的ブロック図であって、アドレス電極16は1本毎にアドレスドライバ31に接続され、そのアドレスドライバ31によってアドレス放電時のアドレスパルスが各アドレス電極に印加される。また、Y電極15は、個別にYスキンドライバ34に接続されている。

【0012】該スキンドライバ34は更にY側共通ドライバ33に接続されており、アドレス放電時のパルスはスキンドライバ34から発生されるが、維持放電パルス等はY側共通ドライバ33で発生し、Yスキンドライバ34を経由して、Y電極15に印加される。一方、X電極14は当該平面表示装置に於けるパネルの全表示ラインに亘って共通に接続され取り出されている。

【0013】つまり、X電極側の共通ドライバ32は、書き込みパルス、維持パルス等を発生し、これらを同時平行的に各Y電極15に印加する。これらのドライバ回路は、制御回路によって制御され、その制御回路は、

装置の外部より入力される、同期信号や表示データ信号によって制御される。つまり、図5から明らかな様に、該アドレスドライバ31は、制御回路35に設けた表示データ制御部36と接続されており、該表示データ制御部36は、外部から入力される、表示データを示すドットクロック信号(CLOCK)及び表示データ信号(DATA)から、該表示データ制御部36内部に設けられた例えばフレームメモリ等37のデータを使用して、1フレーム内に於いて、選択されるべきアドレス電極のアドレスデータを出力する。

【0014】又、該Yスキンドライバ34は、該制御回路35に設けられているパネル駆動制御部38のスキンドライバ制御部39と接続されており、外部から入力される1フレーム(1フィールド)の開始を指示する信号である垂直同期信号 V_{sync} と1サブフレームの開始を指示する信号である水平同期信号 H_{sync} にตอบสนองして、該Yスキンドライバ34を駆動して、該平面表示装置1に於ける複数本のY電極15を1本ずつ順次に選択して、1フレームの画像を表示する事になる。

【0015】図7に於いて、当該スキンドライバ制御部39から出力されるY-DATAは、当該Yスキンドライバを1ビット毎にONさせる為のスキンドデータであり、又Y-CLOCKは、該Yスキンドライバを1ビット毎にONさせる為の転送クロックである。一方、本具体例に於けるX電極側の共通ドライバ32とY電極側の共通ドライバ33は何れも該制御回路35に設けられた共通ドライバ制御部40に接続されており、該X電極14と該Y電極15とを交互に印加される電圧の極性を反転させながら一斉に駆動して、上記した維持放電を実行させるものである。

【0016】図5に於いて該共通ドライバ制御部40から出力されるX-UDは、X側共通ドライバのON/OFFを制御する為に V_s 及び V_w を出力するもので有り、又図中、該共通ドライバ制御部40から出力されるX-DDは、X側共通ドライバのON/OFFを制御する為にGNDDを出力するものである。又、同様に、該共通ドライバ制御部40から出力されるY-UDは、Y側共通ドライバのON/OFFを制御する為に V_s 及び V_w を出力するもので有り、又図中、該共通ドライバ制御部40から出力されるY-DDは、Y側共通ドライバのON/OFFを制御する為にGNDを出力するものである。

【0017】ここで、従来の三電極型プラズマディスプレイ装置を例に採って、当該平面表示装置の画像表示駆動方法の例を図6のタイミング波形図を参照しながら説明する。即ち、従来に於いては、線順次・自己消去アドレス方式と、一括書込み・一括消去・線順次アドレス方式とが一般的に使用されているが、以下の具体例に於いては、後者、即ち一括書込み・一括消去・線順次アドレス方式を使用した場合に於ける表示方法の例を説明する。

【0018】即ち、図6に示すタイミングの線順次・自己消去アドレス方式により駆動していた。この方式によれば、該初期化期間S1に於いては、1フレーム分の全セルに対して、一括書込み・一括消去処理を実行し、その後のアドレス期間S2に於いて、線順次に各ラインを順次に選択して、所定の情報を所定のセルに書込み、次いで、維持放電期間S3に於いて、全セルに対して所定の期間、即ち1フレーム表示時間終了迄の間、維持放電を行い、前記アドレス期間S2に於いて、所定の情報が書込まれたセルのみを放電させて表示する操作を繰り返すものである。

【0019】

【発明が解決しようとする課題】ところで、上記した従来に於ける自己消去の発生メカニズムは、セル内部に発生する自身の内部電界を利用するため、その内部電界の大きさにある程度の精度が要求される。内部電界の大きさ、すなわち壁電荷の量は放電発光する際のセルの状態に大きく作用されるが、表示パネルを完全に均一に作ることは非常に困難で、特に面積が大きくなるほど難しくなる。

【0020】また、初期化の際、前のフレームで点灯していたセルとそうでないセルとの間には保有する壁電荷に差があり、また書込み時にセルにかかる電界（外部印加電界－内部電界）も違う。それらを全て考慮した場合、内部電界による自己消去において、十分な消去が行われない消去ミスによる書込みミスが発生してしまい、安定な表示品質を損なうという問題を生じていた。

【0021】その為、従来に於ける上記の表示方法に於いては、フレーム開始の制御信号 V_{sync} を受けた後、上記した様に1フレーム分に相当する全セルに対して一括して初期化する操作を行う初期化期間S1が開始されるが、その際、X電極をGNDに設定したのち、所定の電圧 V_s を印加すると共に、Y電極には、所定の電圧 V_s を印加するし、その後、Y電極電圧を図示の様に、所定の時定数を持たせて遅延降下させる事により、所定のセルに蓄積されている電荷の量を調整する第1の壁電荷調整期間S11が設けられている。

【0022】係る第1の壁電荷調整期間S11は、前フィールドに於いて点灯していたセルに蓄積されている当該壁電荷量 P_1 を前フィールドに於いて点灯していなかったセルに蓄積されている壁電荷量 P_2 に近ずける操作が行われるものである。尚、該壁電荷 P_1 は、後述する全セル書込み期間S2及び第2の壁電荷調整期間S12に於いて、生成された壁電荷量であり、又該壁電荷量 P_2 は、後述する維持放電期間S3に於いて該セル内に生成された壁電荷量を示す。

【0023】続いて、全セル書込み期間S13に於いては、当該Y電極の電圧はGNDとしたままで、該X電極に $V_s + V_w$ の電圧を印加して、全セルに所定の情報を書込み、一旦全セルを点灯させ、且つ所定の壁電荷量を

全セルに対して一様に生成させるものである。次いで、第2の壁電荷調整期間S12に於いて、該X電極の電圧をGNDに落とすと同時に、該Y電極の電圧として、所定の電圧 V_s を印加して、前記した第1の壁電荷調整期間S11に於ける印加電圧の極性を反転させ、瞬間的に維持放電を実行させる。

【0024】その後、Y電極電圧を図示の様に、所定の時定数を持たせて遅延降下させる事により、所定のセルに蓄積されている電荷の量を調整する。つまり、係る第2の壁電荷調整期間S12に於いては、全セルに対して、アドレス選択期間S2内に於いて選択していないセルが放電を行わない様に、当該セル内の壁電荷の量を制限するものである。

【0025】即ち、係る従来に於けるプラズマディスプレイ装置からなる平面表示装置に於いては、前フィールドに於いて点灯していたセルと点灯していなかったセルとの壁電荷量の相違が、今回のフィールド表示に於ける各セルの表示特性に影響が及ばない様に、当該フィールドの初期化に於いて、前フィールドにおける各セルの壁電荷量を調整する必要がある。

【0026】つまり、上記した壁電荷調整期間S11に於いては、完全に全セルの壁電荷を消去するものである必要はないが、所定の壁電荷量となる様に調整する必要がある。その為、所定の時定数を設定して、Y電極電圧に遅延降下を行わせる。次に、該全セル書込み期間S2に於いて全セルを点灯させ、その結果、全セルに略同一の壁電荷量を付与させる事が可能となる。

【0027】然しながら、係る全セル書込み期間に於ける操作によっても、各セルの壁電荷量は必ずしも適当な値になっていない場合が多い。その為、第2の壁電荷調整期間S12に於いて、前工程で点灯された全てのセルの壁電荷量を同時に消去若しくは所定の同一レベルとなる様に放電処理し、結果的に前セルが、以後の維持放電操作で放電発光しない様な壁電荷量レベルに迄調整しておくものである。

【0028】然しながら、該第1及び第2の壁電荷調整期間S11、S12に於いて実行される壁電荷量調整操作に於いても、それぞれのセル内に於いて残留する壁電荷量は、必ずしも次のフレームを表示する工程に於ける最適な壁電荷量を残留させていると言う補償がなかった。従って、従来の様に、当該第1の壁電荷調整期間S11及び該第2の壁電荷調整期間S12に於いて、それぞれ当該壁電荷量を調整する場合に、同一のセル駆動回路を用いた場合には、確実に前フレームの表示操作に於いて得られ、且つセル内に残存する壁電荷量を適正な値に調整する事が不可能で有った。

【0029】つまり、従来に於いては、当該セルの駆動回路は、同一のものを使用しているの、上記した様に、互いに異なる目的と機能を有している該第1と第2の壁電荷調整期間S11とS12の操作を同一の駆動手

段で操作する限りは、個別に適正な調整機能を発揮させる事が不可能である。従って、上記各セルの壁電荷量をそれぞれの期間に於いて適正に制御使用しても、最適値が異なる各期間に於いては、適正な制御が実行されず、その為、前フィールドの点灯状態によって、最適な動作電圧が異なる事から、安定な動作が可能な電圧マージンを狭める結果となっている。

【0030】従って、本発明の目的は、係る従来の問題を解決し、前フレームに於ける各セルに残留している壁電荷量を適正な値に、しかも全セルが略均一な最適所定量の壁電荷量を有する様に調整する事により、次のフレームに於ける表示駆動に於いて、最適な表示状態を創成する事の出来る平面表示装置を提供することを目的とする。

【0031】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。即ち、表面に電極が配置されている少なくとも2枚の基板が、当該電極部が、互いに直交して対向する様に、隣接して配置され、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部を形成しており、当該セル部は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有しているパネルを有する平面表示装置に於いて、少なくとも表示画面の初期化を行う初期化期間、当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間とで構成せしめると共に、当該初期化期間を更に壁電荷調整期間と全セル書き込み期間とに分割して制御する制御系を有しており、且つ当該壁電荷調整期間を、操作時間帯が互いに異なる複数の副壁電荷調整期間に区分し、それぞれの副壁電荷調整期間を互いに独立したセル駆動手段により駆動せしめる様に構成されている平面表示装置で有る。

【0032】

【作用】本発明に係る該平面表示装置に於いては、上記した従来に於ける問題点を解決する為に、前記した様な技術構成を採用しているので、当該第1の壁電荷調整期間S11と該第2の壁電荷調整期間S12とに於いて、個別に設けられた独立して駆動するセル駆動手段を使用して、それぞれの期間に於いて、個別のセル駆動手段により個別に設定された駆動条件に従って駆動させる事が可能となるので、従来に於いて発生した、大規模な全セル書き込み放電を防止すると同時に、ミスアドレスを有効に回避する事が出来、その結果、蛍光体の長寿化に大きく貢献する事が可能となった。

【0033】

【実施例】以下に、本発明に係る平面表示装置に関する具体例を図面を参照しながら詳細に説明する。即ち、図

1は、本発明に係る平面表示装置に於いて使用されるセル駆動手段100の一具体例の構成を示すブロックダイアグラムであって、図5のブロックダイアグラムに示す従来の平面表示装置1におけるY電極駆動系に設けられているセル駆動手段100を拡大して示したものである。

【0034】つまり、本発明に係る平面表示装置の基本的な構成としては、図5に示す様に、表面に電極が配置されている少なくとも2枚の基板12、13が、当該電極部が、互いに直交して対向する様に、隣接して配置され、且つ当該基板間12、13に適宜の蛍光体19が挿入されており、更に当該電極間に構成される複数の直交部が、それぞれ画素を構成するセル部10を形成しており、当該セル部10は、当該電極に印加される適宜の電圧に従って、所定量の電荷を蓄積しうるメモリ機能と放電発光機能とを有している平面表示装置1に於いて、該表示装置1に表示される1つのフレームを走査ライン毎に構成される複数のサブフレームSFに時間的に分割して表示すると共に、該分割された各サブフレームを、更に少なくとも表示画面の初期化を行う初期化期間S1、当該複数のセル部を選択して適宜の表示データの書き込み操作を実行するアドレス期間S2及び、該表示データが書き込まれたセル部を所定の期間、放電発光させる維持放電期間S3とで構成せしめると共に、当該初期化期間S1を更に壁電荷調整期間S11、S12と全セル書き込み期間S13とに分割して制御する制御系を有しており、且つ当該壁電荷調整期間S11、S12を、操作時間帯が互いに異なる複数の副壁電荷調整期間に区分し、それぞれの副壁電荷調整期間S11、S12を互いに独立したセル駆動手段101、102により駆動せしめる様に構成されている事を特徴とする平面表示装置が示されている。

【0035】本発明に係る該平面表示装置1は、基本的には、電荷を保持して記憶機能を発揮する構成のものであれば、如何なる平面表示装置でも採用可能であるが、好ましくは、プラズマディスプレイ装置を主体とする平面表示装置で有れば良い。本発明に係る上記初期化期間S1は、第1の該副壁電荷調整期間S11、該全セル書き込み期間S13及び第2の該副壁電荷調整期間S12とがこの順序で配列されて構成されている事が望ましい。

【0036】又、本発明に於いては、1サブフレーム期間SF内に於ける該初期化期間S1は、表示画面の初期化を行う為に、当該各セルに対して、所定のデータを一括書き込み／一括消去する期間である事が望ましい。更に、本発明に於いては、該平面表示装置1は、3電極を使用して画像の表示駆動を実行するものである事が望ましい。

【0037】本発明に係る当該平面表示装置に於いては、前記した様に、1フレームを構成する複数のサブフ

レームに相当するそれぞれの選択ライン、本具体例に於いてはY電極15に、当該パネル30と直列に接続された、当該第1の該副壁電荷調整期間S11中、所定のセル10を駆動する第1のセル駆動回路101と同様に当該パネル30と直列に接続された、当該第2の該副壁電荷調整期間中、所定のセル10を駆動する第2のセル駆動回路102とが設けられているものである。

【0038】本発明に係る該セル駆動回路100を図1を参照しながら詳細に説明すると、先ず平面表示装置1の表示板を構成する複数のセル部10からなるパネル部30の一方側の端子部に共通電極を構成しているX電極14が設けられており、該X電極14は、図5に示されるX電極駆動回路の内の維持放電回路（サステイン回路）107に接続されている。

【0039】一方、該パネル部30の他方の側の端子部には、1フレームを構成する複数のサブフレームに相当する複数の選択ラインを構成する複数のY電極群15が互いに平行に配置され、各Y電極毎にダイオードD1とトランジスタT5の組及びダイオードD2とトランジスタT6の組で構成されたYスキンドライバ105を介して図5に示されるY電極駆動回路の内の維持放電回路（サステイン回路）108に接続されている配線103と104が設けられている。

【0040】そして、該一方の配線103は、書き込み電圧電源（Vw）が、トランジスタT3とダイオードD3を介して接続されており、他方の配線104には接地電源（GND）とトランジスタT4を介して接続されている。一方、前記の配線103に於ける該Yスキンドライバ105と該維持放電回路（サステイン回路）108の間の部位に前記した、セル駆動回路100が接続されており、該セル駆動回路100は、接続部NからダイオードD4と抵抗R1を介して接地電源（GND）と接続されたトランジスタT2と接続されている第1のセル駆動回路101が設けられており、又、該接続部NからダイオードD5と抵抗R2を介して接地電源（GND）と接続されたトランジスタT1と接続されている第2のセル駆動回路102が設けられている。

【0041】本発明に於ける該セル駆動回路100のそれぞれの駆動回路101と102は、当該セル駆動回路101及び102のそれぞれが有している抵抗R1、R2と該セル部10に形成されている容量成分（C）とで、個別に時定数を設定する事になり、当該各セル駆動回路101若しくは102のトランジスタT1又はT2がONする事によって、当該セル部10に蓄積された電荷は、それぞれの駆動回路の持つ時定数に従って、接地電源（GND）に引き抜かれる事になる。

【0042】従って、各セル駆動回路101、102に於ける抵抗値を変化させる事、及び各セル駆動回路101、102に於けるトランジスタT1、T2のゲートを個別に制御する事によって、該セル部10に蓄積された

電荷は、何れかの駆動回路101、102によって、且つ各駆動回路の持つ時定数に従って、所定の壁電荷量となる様に調整する事が可能となる。

【0043】つまり、本発明の具体例に於いては、該トランジスタT1、T2のゲートに所定の制御信号を供給する事によって、それぞれのセル駆動回路101若しくは102を独立して駆動させる事が可能となる。本発明に於ける上記具体例に於いては、MOSFETトランジスタを用いて駆動回路を構成した例を示しているが、本発明に於いては、係る構成に限定されるものではなく、スイッチング機能を有するものであれば如何なるものでも使用しえる事は言うまでもない。

【0044】前記した、それぞれのセル駆動回路101と102の何れを前記した第1の該副壁電荷調整期間S11に於いて駆動させ、他方を第2の該副壁電荷調整期間S12に於いて駆動させるかは任意であり、その順序に従って、所定の時定数を設定する事が必要となる。図2は、本発明に係る平面表示装置に於けるセル駆動回路100を使用して表示駆動を実行する場合の駆動状態を示す波形図である。

【0045】図中、アドレス電極及びX電極の駆動波形は、図6に示すものと同一であるが、Y電極の波形は、第1の該副壁電荷調整期間S11に於ける駆動波形と該第2の該副壁電荷調整期間S12に於ける駆動波形とが異なっている。これは、前記した様に、セル部に蓄積されている壁電荷量が、それぞれの期間に於いて異なっているので、それぞれの操作期間に於いて、適性の壁電荷量となる様に、各セル駆動回路の時定数を変化させた結果によるものである。

【0046】又、図2から理解される様に、第1の該副壁電荷調整期間S11に於いては、第1のセル駆動回路例えば101のMOSFETトランジスタT2のゲート電極を駆動する制御信号がONとなり、又第2の該副壁電荷調整期間S12に於いては、第2のセル駆動回路例えば102のMOSFETトランジスタT1のゲート電極を駆動する制御信号がONとなる様にプログラムを設定する事により、本発明の平面表示装置に於ける表示操作が実行される。

【0047】

【発明の効果】本発明は、上記した様な技術構成を採用しているので、当該平面表示装置に於いて、画像を表示する際の初期化工程に於いて、第1の該副壁電荷調整期間S11と第2の該副壁電荷調整期間S12に於いて、それぞれ個別に第1及び第2のセル駆動回路を駆動させると共に、それぞれの駆動回路に於ける時定数を、それぞれの副壁電荷調整期間に応じて最適な値に個別に設定する事が可能となるので、常に、最適な条件の下に於いて表示駆動を実行出来る。

【0048】又、前フレームに於ける各セル部の点灯状態如何に係わらず、一定規模の全セル書き込み放電が可

能となり、大規模放電によって生じた、隣のセルへの書き込み、或いは自己消去等のミスアドレスや、蛍光体の劣化を有効に防止出来るので、表示状態の安定化と平面表示装置そのものの長寿命化が実現出来る。

【図面の簡単な説明】

【図 1】 図 1 は、本発明に係る平面表示装置に使用されるセル駆動回路の構成の一例を示すブロックダイアグラムである。

【図 2】 図 2 は、本発明に係るセル駆動回路を使用した平面表示装置に於ける各部の駆動波形の一例を示す波形図である。

【図 3】 図 3 は、従来に於ける平面表示装置の構成の概略を示す平面図である。

【図 4】 図 4 は、従来に於ける平面表示装置に設けられるセル部の構成例を示す断面図である。

【図 5】 図 5 は、従来の平面表示装置に於ける駆動系を説明するブロックダイアグラムである。

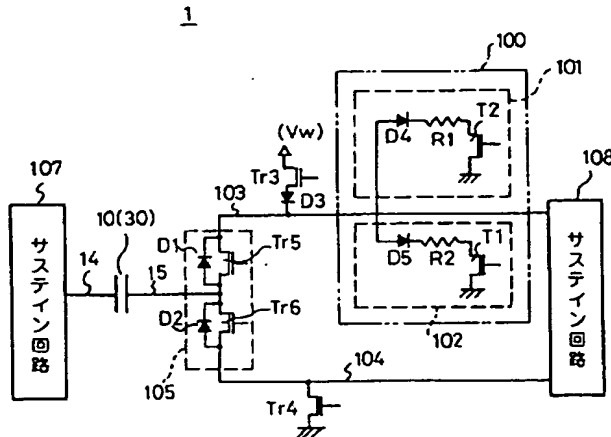
【図 6】 図 6 は、従来に於ける平面表示装置の駆動方法を説明する駆動波形図である。

【符号の説明】

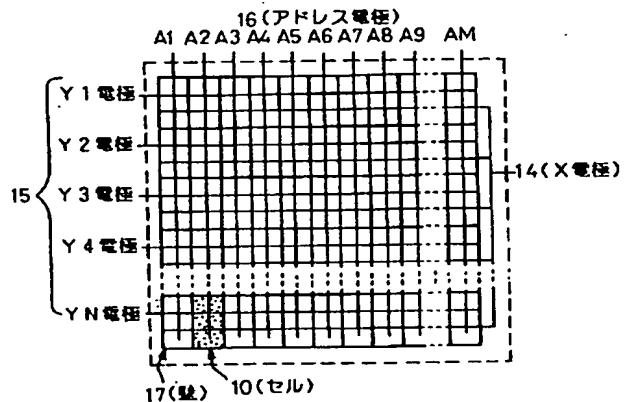
- 1 … 平面表示装置
- 2 … 電源回路
- 3 … アドレス電流検出手段
- 4 … 比較手段
- 5 … アドレス周波数制御手段
- 6, 45 … 基準電流値記憶手段
- 10 … セル部

- 12, 13 … 基板
- 14 … X 電極
- 15 … Y 電極
- 16 … アドレス電極
- 17 … 壁部
- 18 … 誘電体層
- 19 … 蛍光体
- 20 … 放電空間
- 21 … MgO 膜
- 30 … パネル部
- 31 … アドレスドライバ
- 32 … X 共通ドライバ
- 33 … Y 共通ドライバ
- 34 … Y スキャンドライバ
- 35 … 制御回路
- 36 … 表示データ制御部
- 37 … フレームメモリ
- 38 … パネル駆動制御部
- 39 … スキャンドライバ制御部
- 60 … 共通ドライバ制御部
- 100 … セル駆動回路
- 101 … 第 1 のセル駆動回路
- 102 … 第 2 のセル駆動回路
- 103, 104 … 配線
- 105 … Y スキャンドライバ
- 107, 108 … サステイン回路

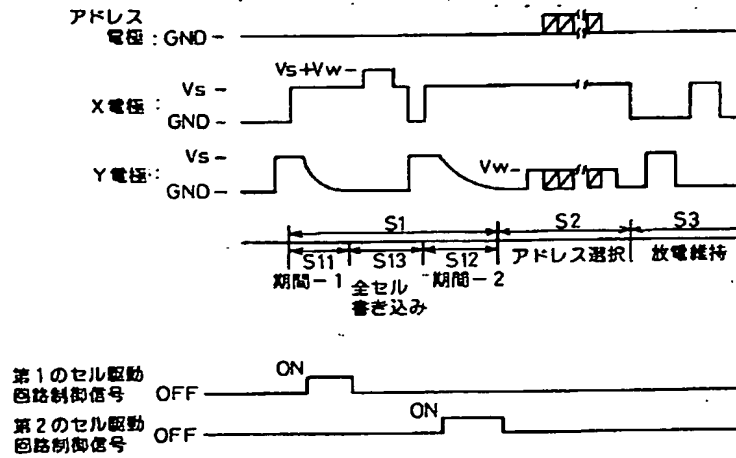
【図 1】



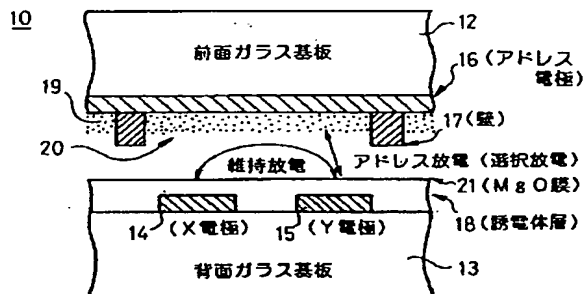
【図 3】



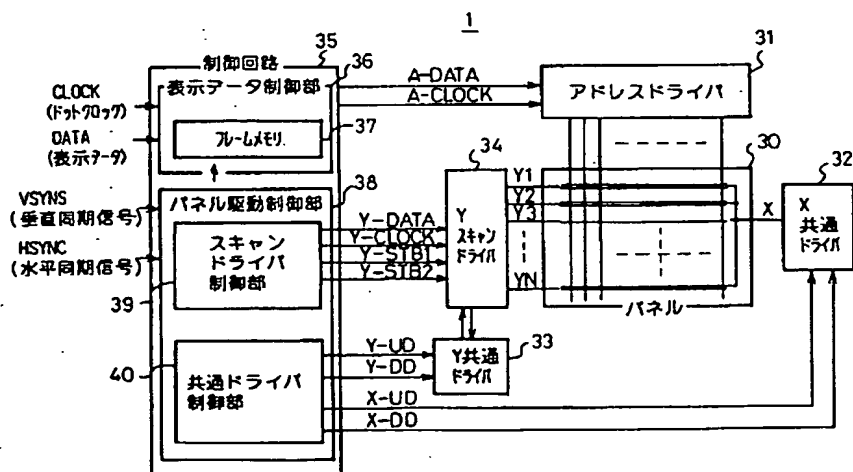
【図 2】



【図 4】



【図 5】



【図 6】

